

5-1

BEST AVAILABLE COPY

SiO₂층(3)이 깨질때 패드(4)가 접지레벨로 내려가는 것을 방지하여 상기 본딩 작업에 따른 실패율을 감소시키고 있다.

종래의 기술은 주로 와이어 본딩을 위한 신뢰도를 향상시키는 목적에 국한되어 있으며 사용되는 연적합 용연에서 효율성이 없고 또한 반도체 장치에서 빈번히 발생하는 정전기 또는 입력패드를 통해 예기치 않은 서지(surge) 전압에 대하여 고려되어 있지 않다.

본 발명은 이러한 문제를 해결하기 위한 것으로 본 발명의 목적은 반도체 패키징 공정의 와이어 본딩시 신뢰성을 높이고 또한 정전기 또는 서지(surge) 입력전압에 대한 보호수단이 강구된 반도체 장치의 입력패드 및 이의 형성방법을 제공하는 것이다.

본 발명의 목적에 따른 반도체 장치의 입력패드는 외부에서 인가된 신호를 반도체 칩내부로 전달하는 입력패드와, 상기 입력 패드에 연결된 과전압 바이패스용 스위칭 수단과, 상기 입력패드에 인가된 과전압을 검출하여 상기 과전압 바이패스용 스위칭 수단을 스위칭시키는 과전압 검출부로 구성됨을 특징으로 한다.

이와같은 구성에서 보듯이 입력패드에 인가되는 노말신호는 이에 연결된 스위칭 수단이 오프 상태에 있기 때문에 패드에 연결된 칩 내부회로로 입력신호가 전달된다. 이때 패드에 정전기나 과전압이 인가되면 이 신호를 검출한 과전압 검출부는 유효신호를 스위칭 수단에 보내 이 신호로 스위칭된 스위칭 수단이 턴 온되므로써 과전압 또는 정전기를 접지로 싱크(sink)시키게 된다.

본 발명의 또다른 목적에 따라서 입력패드와 이에 연결된 과전압 검출부를 포함하는 반도체 장치의 입력패드형성방법은 접지에 연결되는 콜렉터로서의 제2도전형의 반도체 기판에 제1도전형의 에피택셜층을 형성하여 유효베이스층을 형성하고, 기판 전면에 산화층을 형성한후, 제2도전형 불순물을 상기 에피택셜층에 주입하여 소자분리하여 패드형성부위를 정의하고, 상기 에피택셜층에 제2도전형 불순물 이온과 제1도전형 불순물 이온을 상기 에피택셜층의 선택된 영역에 주입하여 에미터 영역과 베이스 접촉영역을 각각 형성하며, 상기 에미터영역과 베이스접촉영역의 접촉창을 사진식각방법으로 형성한후 입력패드와 베이스 배선층을 형성하는 공정을 가지며, 상기 베이스 배선층은 상기 과전압검출부에 연결됨을 특징으로 한다.

본 발명의 장치 구성에 대한 본 발명의 실시예를 제3도와 제4도를 참조하여 다음에 상세히 설명한다.

제4도는 본 발명의 반도체 입력 패드에 대한 회로 구성을 나타낸 블록도이다. 제4도와 같이 입력패드(16)는 정상 레벨의 입력신호를 칩내부의 회로에 전달하고 있다. 이때 패드와 접지(GND)간에 연결된 스위칭 수단(19)은 PNP형 바이폴라 트랜지스터로서 정상 동작시에는 베이스에 입력되는 신호가 없기 때문에 오프상태이므로 패드 입력신호는 칩내부로 전달되고 과전압 검출부(18)에서도 입력되는 신호가 정상 레벨이므로 동작되지 않는다.

그러나, 정전기나 과전압등의 이상 신호가 패드에 인가되면 과전압 검출부(18)는 이 신호에 의해 작동되어 트랜지스터(19)의 베이스에 유효한 하이레벨 신호를 출력하여 트랜지스터(19)를 스위칭 온시키므로써 과전압은 스위칭수단을 통해 접지(GND)로 빠진다.

과전압 검출회로는 간단히 스위칭 소자 또는 비교수단등으로 실현할 수 있으며 공지의 회로를 채택한다.

본 회로 구성은 패드 형성후 정전기나 과전압 보호 기능을 구비시키고 있으며 한편으로 와이어 본딩 작업시 공정 신뢰도를 위해서 제3도의 패드부 단면도에서 보듯이 와이어 본딩 과정에서 산화층(13)의 깨짐현상이 없도록 구성되고 있다.

즉, 본 발명에 따라 구성된 스위칭 수단(19)은 종형(vertical) 바이폴라 트랜지스터로 구성시키고 있고 제3도에서 트랜지스터의 에미터(14)는 패드(16)에 바로 연결되고 있다.

도면에서, '12'는 유효 베이스영역으로서 제1도전형 또는 n형 에피택셜층이며, '15'는 베이스 접촉부인 n형 불순물 영역이고, '17'은 베이스 영역과 과전압 보호회로(18)의 출력과 연결되기 위한 베이스 배선층이다. 그리고 '10'은 트랜지스터의 콜렉터로서 제2도전형 또는 접지된 p형 반도체 실리콘 기판이며, '11'은 p형 웰로서 바이폴라 트랜지스터에 대한 소자분리 영역에 대응한다.

따라서, 과전압 검출에 따른 하이 레벨의 신호가 베이스(15)에 인가되면 접지로 된 콜렉터 또는 기판(10)으로 패드의 신호가 싱크(sink)되는 것이다. 그러나 노말 동작시에는 베이스(15)로 신호 입력이 없으므로 패드(16)에 입력된 신호는 트랜지스터의 동작에 관계없이 칩내부로 전달된다.

제3도의 구조는 칩내부소자 구성시 동시에 형성될 수 있다. 즉 각각의 영역은 이온 주입, 마스크작업등을 동반하여 구성될 수 있다. 그리고 입력패드(16)와 베이스(15)에 연결되는 과전압 검출회로는 도시는 없으나 칩내부 또는 그 근처의 적소에 웨이퍼 공정시 형성될 수 있다.

먼저 접지에 연결되는 콜렉터로서의 제2도전형 또는 p형 반도체 기판에 제1도전형 또는 n형의 에피택셜층을 형성하여 유효베이스층을 형성하고, 기판 전면에 산화층을 형성한후, 제1도전형 불순물을 상기 에피택셜층에 주입하여 소자분리하여 패드형성부위를 정의한다. 상기 에피택셜층에 제2도전형 불순물 이온과 제1도전형 불순물 이온을 상기 에피택셜층의 선택된 영역에 주입하여 에미터 영역(14)과 베이스 접촉영역(15)을 각각 형성하며, 상기 에미터영역과 베이스 접촉영역의 접촉창을 사진식각방법으로 산화층을 부분적으로 에칭하여 형성한후 입력패드(16)와 베이스 배선층(17)을 형성한다.

접촉창이 마련되면 전면에 메탈층을 이룰때엔 스퍼터링 방법으로 형성하고 사진식각으로 패터닝을 하는 것이다. 이와 같이 하여 형성된 상기 베이스 배선층은 상기 과전압검출부에 연결되고 따라서 본 발명에 따른 반도체 장치의 입력패드가 형성될 수 있는 것이다.

본 발명에 따라서 패드를 단순히 와이어 본딩을 위한 수동적인 역할에서 벗어나 와이어 본딩요소 뿐만 아니라 간단히 능동 소자를 형성시켜 이를 활용하므로써 정전기 특성을 개선한다.

그리고 패드가 정전기 특성개선을 하는 기능을 동시에 갖게 되므로 칩내부 입력소자의 크기를 또한 감소

시키는 효과가 있다.

(57) 청구의 범위

청구항 1

외부에서 인가된 신호를 반도체 칩내부로 전달하는 입력패드와, 상기 입력 패드에 연결된 과전압 바이패스용 스위칭 수단과, 상기 입력패드에 인가된 과전압을 검출하여 상기 과전압 바이패스용 스위칭 수단을 스위칭시키는 과전압 검출부로 구성됨을 특징으로 하는 반도체 장치의 입력패드.

청구항 2

제1항에 있어서, 상기 과전압 바이패스용 스위칭 수단은 바이폴라 트랜지스터로 구성되고, 상기 입력패드는 바이폴라 트랜지스터의 에미터에 연결하고, 베이스는 상기 과전압 검출부에 연결되며, 콜렉터는 접지에 연결됨을 특징으로 하는 반도체 장치의 입력패드.

청구항 3

제1항에 있어서, 상기 스위칭 수단은 접지에 연결되는 제1도전형의 반도체 기판인 콜렉터와, 상기 반도체기판에 제2도전형의 에피택셜층을 형성하여 된 베이스층과, 상기 에피택셜층에 제2도전형 불순물 이온과 제1도전형 불순물 이온을 상기 에피택셜층의 선택된 영역에 주입하여 형성된 에미터 영역 및 베이스 접촉영역과, 상기 에미터영역과 베이스접촉영역의 접촉창을 통해 연결된 입력패드 및 베이스 배선층으로 구성되며, 상기 베이스 배선층은 상기 과전압검출부에 연결됨을 특징으로 하는 반도체 장치의 입력패드.

청구항 4

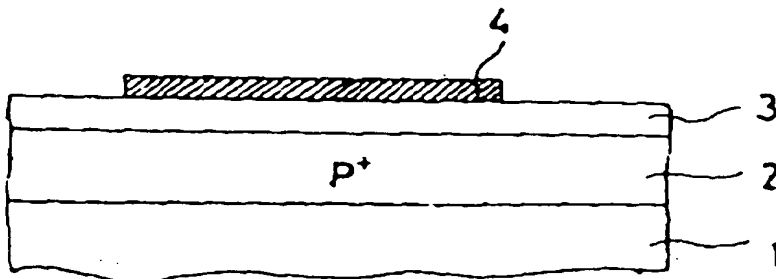
입력패드와 이에 연결된 과전압 검출부를 포함하는 반도체 장치의 입력패드 형성방법은 접지에 연결되는 콜렉터로서의 제2도전형의 반도체 기판에 제1도전형의 에피택셜층을 형성하여 유효베이스층을 형성하고, 기판전면에 산화층을 형성한후, 제2도전형 불순물을 상기 에피택셜층에 주입하여 소자분리하여 패드형성 부위를 정의하고, 상기 에피택셜층의 제2도전형 불순물 이온과 제1도전형 불순물 이온을 상기 에피택셜층의 선택된 영역에 주입하여 에미터 영역과 베이스 접촉영역을 각각 형성하며, 상기 에미터영역과 베이스접촉영역의 접촉창을 사진식각방법으로 형성한후 입력패드와 베이스 배선층을 형성하는 공정을 가지며, 상기 베이스 배선층은 상기 과전압검출부에 연결됨을 특징으로 하는 반도체 장치의 입력패드 형성방법.

청구항 5

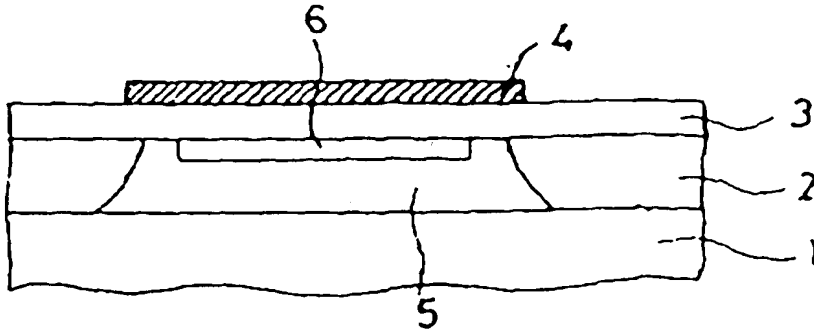
제4항에 있어서, 상기 제1도전형 영역은 n형 불순물이 포함된 반도체 영역이며, 제2도전형은 p형 불순물이 포함된 반도체 영역인 것을 특징으로 하는 반도체 장치의 입력패드 형성방법.

도면

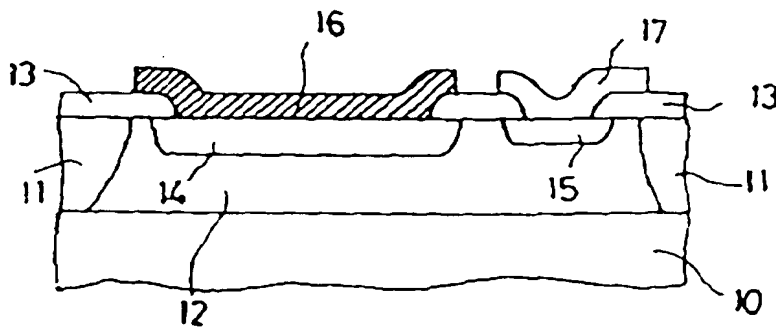
도면1



도면2



도면3



도면4

